

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172198

(43)公開日 平成8年(1996)7月2日

(51) Int.Cl.
H 01 L 29/786
21/336

識別記号 庁内整理番号
9056-4M
9056-4M

F I

技術表示箇所
618.C
617.S

審査請求 未請求 請求項の数 6 OL (全 12 頁)

(21)出願番号 特願平6-314896

(22)出願日 平成6年(1994)12月19日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 中村 一世

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

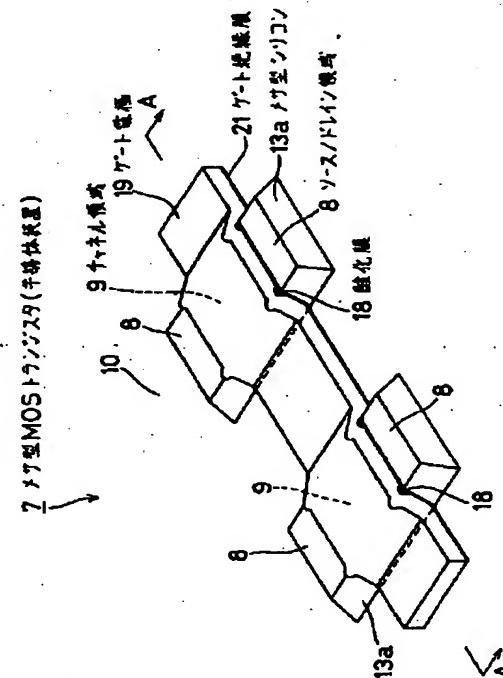
(74)代理人 弁理士 野河 信太郎

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 メサ型シリコン周辺部での電界集中を緩和することができる半導体装置及びその製造方法を提供することを目的とする。

【構成】 ソース／ドレイン領域及びチャネル領域が形成されたメサ型シリコン膜、該メサ型シリコン膜上に形成されたゲート酸化膜、及び前記メサ型シリコン膜上に前記ゲート酸化膜を介して配設されたゲート電極とからなり、前記ゲート電極下であってメサ型シリコン膜の上表面端部に、前記ゲート酸化膜よりも厚い酸化膜が形成されている半導体装置。



【特許請求の範囲】

【請求項1】 ソース／ドレイン領域及びチャネル領域が形成されたメサ型シリコン膜、該メサ型シリコン膜上に形成されたゲート酸化膜、及び前記メサ型シリコン膜上に前記ゲート酸化膜を介して配設されたゲート電極とからなり、前記ゲート電極下であってメサ型シリコン膜の上表面端部に、前記ゲート酸化膜よりも厚い酸化膜が形成されていることを特徴とする半導体装置。

【請求項2】 さらに、メサ型シリコン膜の側壁にスペーサが形成されている請求項1記載の半導体装置。

【請求項3】 (i) 少なくとも絶縁層及びトップシリコン層が順次形成されたSOI基板のトップシリコン層をメサ型シリコン膜に加工し、(ii)該メサ型シリコン膜を含むSOI基板上全面に酸化阻止膜を形成し、次いで、前記メサ型シリコン膜の上表面端部に存在する前記酸化阻止膜を除去し、(iii)酸化処理に付して、前記メサ型シリコン膜の上表面端部に、後に形成するゲート酸化膜よりも厚い酸化膜を形成し、(iv)前記メサ型シリコン膜を含むSOI基板上にゲート絶縁膜及びゲート電極を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 工程(i)において、SOI基板上にさらに第1酸化阻止膜を形成し、該第1酸化阻止膜とともに、トップシリコン層をメサ型シリコン膜に加工し、工程(ii)において、SOI基板上全面に酸化阻止膜を形成する工程が、前記第1酸化阻止膜を有する該メサ型シリコン膜を含むSOI基板上全面に、さらに第2酸化阻止膜を形成することによりなされ、

メサ型シリコン膜の上表面端部に存在する前記酸化阻止膜を除去する工程が、第2酸化阻止膜上全面に平坦化膜を形成し、該平坦化膜を、前記メサ型シリコン膜の高さと同程度残存するようにエッチングし、該残存する平坦化膜をマスクとして、前記メサ型シリコン膜の上表面端部に存在する前記第1酸化阻止膜と第2酸化阻止膜とを除去することによってなされる請求項3記載の半導体装置の製造方法。

【請求項5】 工程(ii)の酸化阻止膜を除去する方法が、異方性ドライエッティングである請求項3記載の半導体装置の製造方法。

【請求項6】 (i)絶縁層及びトップシリコン層が順次形成されたSOI基板上に所望のパターンを有する酸化阻止膜を形成し、(ii)該酸化阻止膜をマスクとして用い、前記トップシリコン層の全てが酸化されない程度にLOCOS酸化に付し、(iii)次いで、該酸化阻止膜をマスクとして用い、前記トップシリコン層をメサ型シリコン膜に加工することにより、メサ型シリコン膜の上表面端部に、後に形成するゲート酸化膜よりも厚い酸化膜を形成し、(iv)前記メサ型シリコン膜を含むSOI基板上にゲート絶縁膜及びゲート電極を形成することを特徴

とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関し、より詳細にはSOI(SiliconOn Insulator)基板に形成されたメサ構造を有するデバイスであつて、特にメサ型シリコン周辺部での電界集中を緩和する半導体装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】SOI構造を有する基板を用いてデバイスを製造する場合、その性能を左右する重要な技術の一つが素子分離である。これには大きく分けて2通りの方法がある。一方は、LOCOS酸化のように選択的な酸化を行って素子分離する方法と、トップシリコンを島状(メサ構造)にエッチングすることによってシリコンの島(メサ)と島(メサ)を物理的に分離する方法である。

【0003】一般的なLOCOS膜による素子分離方法を、以下に示す。図35に示したように、基板としてシリコン基板51上に埋め込み酸化膜52及びトップシリコン層53が形成されたSOI基板50を用いる。このSOI基板50上に薄い酸化膜(図示せず)及びSiN膜54を順次堆積する。その後、素子分離領域となりうる領域55のSiN膜54を、フォトリソグラフィと異方性ドライエッティング工程によって除去する。次いで、LOCOS酸化を行い、LOCOS膜56を形成する。この際、完全に電気的分離を行うためには、図36及び37に示したように、素子分離領域となりうる領域55のトップシリコン層53が全て酸化されて、LOCOS膜56が埋め込み酸化膜52と接触することが望ましい。

【0004】その後、図38に示したように、SiN膜54を全て除去する。次いで、これらLOCOS膜56及び分離されたトップシリコン層53a上に、ゲート酸化膜(図示せず)及びゲート電極となるポリシリコン57を堆積する。このようにLOCOS膜により素子分離を行う場合、特に、トップシリコン層の膜厚が薄いSOI基板を用いたときには、次のような問題が起こる。つまり、LOCOS酸化が進行し、LOCOS膜がSOI

40 基板の埋め込み酸化膜と接触した瞬間から、図37中の矢印で示したように、埋め込み酸化膜を通って回り込んでくる酸素が、トップシリコン層を下層から酸化してゆき、トップシリコン層を薄くしてしまう。

【0005】SOI構造のトランジスタは、トップシリコンの膜厚でその特性が大きく変化するため、上記のようなトップシリコン層の薄膜化の問題は、デバイス特性上、致命的なものとなる。特に、トップシリコン層の膜厚が薄い場合には、顕著となる。また、以下にメサ構造による素子分離方法を示す。

【0006】上記と同様のSOI基板60を用いる。ま

ず、フォトリソグラフィと異方性ドライエッティング工程によって、SOI基板60の素子分離領域となりうる領域のトップシリコン層63を除去する。これによって、素子分離領域となりうる領域においては、埋め込み酸化膜62が露出されることとなり、物理的に分離されたメサ型シリコン63aが形成され、このメサ型シリコン63aは、隣接するメサ型シリコンと電気的にも分離される。次いで、図39に示したように、このSOI基板60上に薄い酸化膜(図示せず)を形成し、統いて、これらメサ型シリコン63aを含むSOI基板60上にゲート電極64を形成する。

【0007】この場合には、埋め込み酸化膜62が露出した状態での酸化量がとても小さい(ゲート酸化膜である薄い酸化膜分のみである)ために、上記のような酸素の回り込みによるトップシリコン層の薄膜化の問題はないが、一方、次のような問題を有する。つまり、図39中Yの拡大図である図40に示したように、メサ型シリコン63aの上表面端部分は、上面と共に側面もゲート電極64に被覆されることとなる。よって、例えば、ゲート電極にオン作動時の電位が与えられた場合には、メサ型シリコン63aの上表面端部分は2方向から電界を受けることとなる。これにより、メサ型シリコン63aの上表面端部分は他の部分に比べて先に反転して(チャネルが形成されて)しまい、図41中Kに示したように、ゲート電圧ードライブ電流曲線に欠陥(kink)が現れることとなり、トランジスタのオン/オフ特性を悪くする。

【0008】また、このような問題点を解決するために、例えば、図45に示したように、メサ型シリコン73aの側面のみに酸化膜75を形成することにより、図46に示した側壁からの電界を緩和する半導体装置が提案されている。このような半導体装置は、以下のようにして形成することができる。図42に示したように、シリコン基板71上に埋め込み酸化膜72及びトップシリコン73層が形成されたSOI基板70を用いる。このSOI基板70の上に薄い酸化膜(図示せず)及びSiN膜74を堆積する。その後、素子分離領域となりうる領域77のSiN膜74及びトップシリコン層73を、フォトリソグラフィと異方性ドライエッティング工程によって除去し、メサ型シリコン73aを形成する。

【0009】次いで、図43に示したように、SiN膜74をマスクにして、メサ型シリコン73aの側面を酸化雰囲気にさらすことによって、メサ型シリコン73aの側壁のみに酸化膜75を形成する。その後、図44に示したように、SiN膜74を除去し、メサ型シリコン73aを含むSOI基板70上にゲート電極76を形成する。

【0010】しかし、この方法においては、埋め込み酸化膜72が露出した状態での酸化を必要とするために、上述のLOCOS酸化と同様に、メサ型シリコン73a

の薄膜化が問題となる。また、上記方法ではメサ型シリコン73aの上表面端部分に十分なバーズピークと呼ばれる酸化膜を形成できない(バーズピークが延びる方向と同じ方向にメサ型シリコン73a側壁の酸化膜75が成長するので、見かけのバーズピークは大きくできない)ため、後の洗浄工程等によって、図47に示したように、SOI基板70全面の酸化膜72及び75が少しずつ除去される。この結果、このSOI基板70の上に、図48に示したように、ゲート電極76を形成し、ゲート電極にオン作動時の電位を与えた場合には、図49に示したように、メサ型シリコン73aの上表面端部で2方向から電界を受けることとなり、オン/オフ特性を悪くする。

【0011】本発明は上記課題に鑑みなされたものであり、メサ型シリコン周辺部での電界集中を緩和することができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明によれば、ソース/ドレイン領域及びチャネル領域が形成されたメサ型シリコン膜、該メサ型シリコン膜上に形成されたゲート酸化膜、及び前記メサ型シリコン膜上に前記ゲート酸化膜を介して配設されたゲート電極とからなり、前記ゲート電極下であってメサ型シリコン膜の上表面端部に、前記ゲート酸化膜よりも厚い酸化膜が形成されている半導体装置が提供される。

【0013】また、(i)少なくとも絶縁層及びトップシリコン層が順次形成されたSOI基板のトップシリコン層をメサ型シリコン膜に加工し、(ii)該メサ型シリコン膜を含むSOI基板上全面に酸化阻止膜を形成し、次いで、前記メサ型シリコン膜の上表面端部に存在する前記酸化阻止膜を除去し、(iii)酸化処理に付して、前記メサ型シリコン膜の上表面端部に、後に形成するゲート酸化膜よりも厚い酸化膜を形成し、(iv)前記メサ型シリコン膜を含むSOI基板上にゲート絶縁膜及びゲート電極を形成する上記半導体装置の製造方法が提供される。

【0014】さらに、(i)絶縁層及びトップシリコン層が順次形成されたSOI基板上に所望のパターンを有する酸化阻止膜を形成し、(ii)該酸化阻止膜をマスクとして用い、前記トップシリコン層の全てが酸化されない程度にLOCOS酸化に付し、(iii)次いで、該酸化阻止膜をマスクとして用い、前記トップシリコン層をメサ型シリコン膜に加工することにより、メサ型シリコン膜の上表面端部に、後に形成するゲート酸化膜よりも厚い酸化膜を形成し、(iv)前記メサ型シリコン膜を含むSOI基板上にゲート絶縁膜及びゲート電極を形成する上記半導体装置の製造方法が提供される。

【0015】本発明における半導体装置は、主としてメサ型シリコン膜、ゲート酸化膜及びゲート電極により構成され、さらに、メサ型シリコン膜の上表面端部であつ

て、ゲート電極に被覆された部分に、ゲート酸化膜よりも厚い酸化膜を有している。このような半導体装置は、S O I 、S O S (Silicon On Sapphire)、S I M O X (Separation by Implanted Oxygen)構造を有する基板を用いて製造することができる。このような基板は、基板上に絶縁層及びトップシリコン層が形成されたもの、または絶縁性基板上にトップシリコンが形成されたものである。その具体例としては、シリコン基板上にスピネル、 $A l_2 O_3 - MgO$ 、B P、C a F₂ 又はS r O等の単結晶絶縁膜及びシリコンが形成された基板、サファイヤ等の絶縁性基板上にシリコンが形成された基板、シリコン基板上にS i N又はS i O₂ 等の絶縁膜及び単結晶シリコンが形成された基板、シリコン基板にO⁺ イオン注入を行うか又はシリコン基板を陽極化成酸化することにより埋め込み酸化膜を形成し、この埋め込み酸化膜上にシリコンが形成されている基板等を挙げることができる。シリコン基板上に絶縁層が形成されている場合には、その絶縁層の膜厚は50～100 nm程度、また、絶縁層上に形成されているトップシリコン層は、10～50 nm程度使用されることが多いが、これに限定されるものではない。

【0016】メサ型シリコン膜は、上記の基板のトップシリコン層が、公知の方法、例えばフォトリソグラフィ及びエッチング工程により島状にパターニングされて形成されている。このメサ型シリコン膜は、ソース／ドレイン領域及びチャネル領域が形成されたメサ型トランジスタの活性領域として機能する。ソース／ドレイン領域は、公知の方法、例えば、P型又はN型の不純物を注入することにより形成することができる。

【0017】メサ型シリコン膜上に形成されているゲート酸化膜は、公知の方法、例えば熱酸化法により、3～100 nm程度の膜厚で形成されていることが好ましい。ゲート電極は、ポリシリコン、タングステン、チタン、ニッケル、コバルト、タンタル、アルミニウム、ガルニウム及びこれら金属のシリサイド、ポリサイド等により形成されていてもよい。このゲート電極は、公知の方法で30～100 nm程度の膜厚で形成されていることが好ましい。

【0018】メサ型シリコン膜の上表面端部に形成された酸化膜は、少なくともゲート電極に被覆されている部分（少なくともゲート電極直下）に形成されればよく、最も膜厚の厚い部分で5～300 nm程度に形成されていることが好ましい。しかし、電源電圧やゲート酸化膜の膜厚により適宜調整することができる。また、メサ型シリコン膜の上表面端部に配設されるゲート酸化膜よりも厚い酸化膜と基板表面との間、つまり、ゲート電極に被覆されているメサ型シリコン膜の側壁に、S i O₂、S i N等によるスペーサーを形成してもよい。このようなスペーサーは、メサ型シリコン膜の上表面端部に酸化膜を形成し、次いで、基板上全面にS i O₂、S i N

等を10～500 nm程度の膜厚で形成し、異方性エッチング等により全面エッチバックを行うことにより形成することができる。

【0019】本発明の半導体装置の製造方法においては、メサ型シリコン膜を形成した後、基板上全面に酸化阻止膜を形成し、次いでメサ型シリコン膜の上表面端部に位置する酸化阻止膜を除去する。この際の酸化阻止膜は、特に限定されるものではないが、S i N膜が好ましい。この際の酸化阻止膜は、公知の方法で、20～200 nm程度の膜厚で形成することが好ましい。メサ型シリコン膜の上表面端部に位置する酸化阻止膜を除去する方法としては、スパッタリング効果が強い異方性ドライエッチングにより、平坦な面はエッチングされず、角を有する形状のみがエッチングされる条件を選択して行うことが好ましい。例えば、ガスは、C₃F₈ 又はC₄F₈ 等のC-F系ガス、流量は装置によって適宜調整することができる。圧力はmTorr オーダー、ソースパワーは2000～3000W、バイアスは500～700Wの条件が挙げられる。また、トップシリコン層上に第1酸化阻止膜を形成し、メサ型シリコンをパターニングする際に、第1酸化阻止膜と一緒にパターニングしてもよい。この場合には、このメサ型シリコン及び第1酸化阻止膜上全面に、第2酸化阻止膜を形成し、さらに、第2酸化阻止膜上全面に平坦化膜を形成する。第1及び第2酸化阻止膜としては、上記と同様のものを用いることができる。この場合の第1酸化阻止膜の膜厚は10～500 nm程度、第2酸化阻止膜の膜厚は5～500 nm程度が好ましい。平坦化膜としては、特に限定されるものではないが、SOG、B PSG、P PSG等を20 nm～2 μm程度の膜厚で形成することが好ましい。その後、平坦化膜を、メサ型シリコン膜と同程度の高さを有するまでエッチングする。この際のエッチングは、公知の方法、例えば、上部電極やチャンバー・ウォール等反応室内に200℃以上の高温部を持たせ、そこへC F₄ を導入、流量が数mTorr になるようにコントロールし、ソースパワー1500～2500W、バイアス400～600Wでエッチングする方法により行うことができる。得られた平坦化膜をマスクとして用い、第1及び第2酸化阻止膜をエッチング除去する。この際のエッチングは、マスクされていない第2酸化阻止膜と、メサ型シリコン膜の上表面端部に配置する第1酸化阻止膜とを除去し、メサ型シリコン膜の上表面端部のみが露出するような等方的なエッチング条件を選択して行うことが好ましい。具体的には、例えば、C F₄ とO₂ を圧力が数Torr (例えば、2Torr) になるようにコントロールし、O₂ は全流量の40%以上、バイアスパワーを200～300Wにすることでエッチングすることができる。

【0020】上記のようにして得られた上表面端部に存在する酸化阻止膜が除去されたメサ型シリコン膜を酸化

処理に付す。この場合の酸化処理の条件は、例えば、700～1200°C程度の温度範囲で、平坦なシリコンウェハ上で5～500nm程度の酸化膜を得られる条件を選択することが好ましい。これにより、メサ型シリコン膜の上表面端部に、後の工程で形成するゲート酸化膜よりも厚い、例えば、最も厚い部分（コーナー部）がゲート酸化膜の2倍以上の膜厚となる酸化膜を形成することができる。

【0021】その後、公知の方法によって、ゲート酸化膜の形成、ゲート電極の形成、ソース／ドレイン領域の形成、しきい値電圧の制御等の工程を任意に行うことにより半導体装置を得ることができる。さらに、半導体装置の別の製造方法としては、SOI基板に、所望の形状を有する酸化阻止膜を形成し、この酸化阻止膜を利用してLOCOS酸化を行ったのち、メサ型シリコン膜を形成してもよい。まず、SOI基板上に酸化阻止膜を形成したのち、素子分離膜形成領域に、公知の方法、例えばフォトリソグラフィ及びエッチング工程により開口部を形成する。そして、得られたSOI基板を、公知の方法によりLOCOS酸化に付す。この際のLOCOS酸化条件としては、700～1200°C程度の温度範囲で、平坦なシリコンウェハ上で5～500nm程度の酸化膜を得られる条件を選択することが好ましい。つまり、この酸化により、素子分離膜形成領域のトップシリコン層を酸化するが、トップシリコン層が深さ方向に完全に酸化されるのではなく、完全に素子形成領域が分離されないように酸化する。具体的には、トップシリコン層の膜厚の10～90%程度を酸化する。なお、この際の酸化は、ゲート酸化膜、電源電圧、トップシリコン層の形状等により適宜調整することができる。その後、このLOCOS膜と残存するトップシリコン層とを、LOCOS酸化で用いた酸化阻止膜を利用して、公知の方法、例えば異方性エッチングで、トップシリコン層下の絶縁層が露出されるまで除去する。これにより、上表面端部に、後に形成するゲート酸化膜よりも厚い酸化膜を有するメサ型シリコン膜を形成することができる。

【0022】

【作用】本発明の半導体装置によれば、メサ型シリコン膜の上表面端部にゲート酸化膜よりも厚い酸化膜が形成されているので、ゲート電極に電圧を印加した際に生じるメサ型シリコン膜の上表面端部でのゲートチャネル間容量を小さくするとともに、メサ型シリコン膜内のチャネル領域への2方向からの電界集中を緩和し、結果として、半導体装置のオン／オフ特性が改善される。

【0023】また、本発明の半導体装置の製造方法によれば、メサ型シリコン膜を有する基板上全面に酸化阻止膜を形成し、次いでメサ型シリコン膜の上表面端部に位置する酸化阻止膜を除去し、得られた酸化阻止膜をマスクとして酸化処理することにより、メサ型シリコン膜の上表面端部にゲート酸化膜よりも厚い酸化膜を形成する

ので、酸化処理する際には、SOI基板を構成する絶縁層が酸化雰囲気から保護されることとなる。これにより、従来のLOCOS酸化による素子分離方法に見られるような、酸化プロセス中のトップシリコンの薄膜化が防止される。

【0024】さらに、SOI基板に、所望の形状を有する酸化阻止膜を形成し、この酸化阻止膜を利用してLOCOS酸化を行ったのち、メサ型シリコン膜を形成する場合には、メサ型シリコン膜の上表面端部に十分な膜厚を有するバーズピークが形成されることとなり、プロセス中の洗浄工程等によって、基板上に形成された酸化膜の膜厚が減少しても、メサ型シリコン膜の上表面端部が露出することが回避される。

【0025】

【実施例】以下に、本発明の半導体装置であるメサ型MOSトランジスタ及びその製造方法の実施例を図面に基づいて説明する。

実施例1

図1及び図1のA-A線断面図である図12に示したように、メサ型MOSトランジスタ7は、SOI基板10を構成するメサ型シリコン13aの上に、ゲート酸化膜21を介してゲート電極19が配設されて構成されている。メサ型シリコン13aは、ゲート電極19直下のチャネル領域9と、チャネル領域9に隣接するソース／ドレイン領域8とからなる。また、メサ型シリコン13aの上表面端部（ゲート電極19に電圧を印加した際にゲート電極19からの電界が集中する部分）には、ゲート酸化膜21よりも厚い酸化膜18が形成されている。

【0026】このように構成されるメサ型MOSトランジスタ7においては、図12中Xの拡大図である図2に示したように、ゲート電極19のオン作動時の電位が与えられた場合にも、酸化膜18により、ゲートチャネル容量を中和することができ、よって、メサ型シリコン13aのチャネル領域への上及び側面の2方向からの電界集中を緩和することができる。これにより、図3に示したようなゲート電圧ードライブ電流曲線を得ることができ、トランジスタのオン／オフ特性を改善することができる。

【0027】以下に、メサ型MOSトランジスタの製造方法について説明する。シリコン基板11上に、埋め込み酸化膜12が200nm程度、トップシリコン層13が100nm程度が形成されたSOI基板10を用いる。図4に示したように、このSOI基板10のトップシリコン層13上に、5nm程度の酸化膜（図示せず）と60nm程度のSiN膜14とを堆積する。

【0028】次いで、図5に示したように、フォトリソグラフィと異方性ドライエッチング工程によって、後に素子分離領域となりうる領域15のSiN膜14、酸化膜及びトップシリコン層13を全て除去することにより、その領域15の埋め込み酸化膜12を露出させると

ともに、メサ型シリコン13aを形成する。さらに、図6に示したように、SOI基板10上全面に、SiN膜16を40nm程度堆積して、SiN膜14及び露出している埋め込み酸化膜12をSiN膜16で被覆する。そして、SiN膜16上に、平坦化能力に優れたSOG膜17を堆積することによって平坦化を行う。

【0029】次いで、図7に示したように、SOG膜17全面を、エッチバッカによってメサ型シリコン13aの上面と同位置まで除去する。そして、図8に示したように、残されたSOG膜17aをマスクにSiN膜16をエッティングによって除去する。この際、SiNが等方的なドライエッティングで50nm程度エッティングされるような条件を選択する。これにより、メサ型シリコン13a上に堆積されたSiN膜14の大部分は残り、メサ型シリコン13aの上表面端部（後の工程で形成されるゲート電極からの電界が集中する部分）のみのシリコンが露出する。

【0030】次いで、図9に示したように、残されたSOG膜17aを全て除去する。その後、図10に示したように、例えば、900°C程度のパイロジェニック酸化で平坦なペアシリコンウェハ上で100nm程度の酸化膜が得られる条件で、メサ型シリコン13aの上表面端部の最も厚い部分が70nm程度になる酸化膜18を得る。

【0031】次いで、図11に示したように、150°C程度に加熱したリン酸によってメサ型シリコン13a及び埋め込み酸化膜12上に残存するSiN膜14、16を除去する。そして、イオン注入により、メサ型シリコン13a及びSOI基板10の不純物濃度を調節する。その後、図12に示したように、これら酸化膜18を有するメサ型シリコン13aを含むSOI基板10上全面に、膜厚8nm程度のゲート酸化膜21を形成し、さらに、ゲート電極となるポリシリコン19を堆積する。

【0032】以下、通常のイオン注入、熱処理等の工程を経ることにより、図1に示すようなメサ型MOSトランジスタ7を得る。

実施例2

上記実施例1と同様に、図4～図11に示したように、メサ型シリコン13aの上表面端部に酸化膜18を形成する。

【0033】その後、図13に示したように、これら酸化膜18を有するメサ型シリコン13aを含むSOI基板10上全面に、膜厚100nm程度のSiN膜20を形成する。次いで、図14に示したように、SiN膜20を異方性のドライエッティングによってエッチバッカすることにより、メサ型シリコン13aの上表面端部に形成された酸化膜18と埋め込み酸化膜12表面との段差部、つまりメサ型シリコン13aの側壁にSiNによるスペーサ20aを形成することができる。これにより、酸化膜18と埋め込み酸化膜12とによる段差を緩和す

ることができ、この段差に起因するゲート電極の加工の困難さを回避することができる。

【0034】その後、図15に示したように、これら酸化膜18及びスペーサ20aを有するメサ型シリコン13aを含むSOI基板10上全面に、ゲート酸化膜21を形成し、さらに、ゲート電極となるポリシリコン19を堆積する。

実施例3

シリコン基板31上に、埋め込み酸化膜32が200nm程度、トップシリコン層33が100nm程度が形成されたSOI基板30を用いる。図16に示したように、このSOI基板30のトップシリコン層33上に、5nm程度の酸化膜（図示せず）と60nm程度のSiN膜34とを堆積する。

【0035】次いで、図17に示したように、フォトリソグラフィと異方性ドライエッティング工程によって、後に素子分離領域となりうる領域35のSiN膜34のみを除去することにより、その領域35のトップシリコン層33を露出させる。その後、図18に示したように、素子分離領域となりうる領域35におけるトップシリコン層33を深さ方向に少し残すように（トップシリコンの全膜厚分の酸化はしない）、LOCOS酸化を行う。酸化条件は、例えば、900°C程度のパイロジェニック酸化で、平坦なペアシリコンウェハ上で100nm程度の酸化膜が得られる条件で、素子分離領域となりうる領域35に、酸化されずに残ったトップシリコン層33の最小膜厚が50nm程度になる酸化膜36を得る。この際、素子領域間は、酸化されずに残った薄いトップシリコン層33でつながっており、素子分離が十分に行われていない状態となる。

【0036】次いで、図19に示したように、残存するSiN膜34をマスクにして、素子分離領域となりうる領域35の酸化膜36（ここでは100nmの膜厚だけLOCOS酸化した膜）と、その下層に残っているトップシリコン層33（ここでは50nmのシリコンが残っている）とを、異方性ドライエッティングで順次除去する。これにより、素子領域間は完全に分離されることとなるとともに、上表面端部分に酸化膜36aを有するメサ型シリコン33aを形成する。

【0037】さらに、図20に示したように、150°C程度に加熱したリン酸によってSiN膜34を除去し、イオン注入により、メサ型シリコン33a及びSOI基板30の不純物濃度を調節する。その後、図21に示したように、上表面端部分に酸化膜36aを有するメサ型シリコン33aを含むSOI基板30上全面に、膜厚8nm程度のゲート酸化膜39を形成し、さらに、ゲート電極となるポリシリコン37を堆積する。

実施例4

上記実施例2と同様に、図16～図20に示したように、メサ型シリコン33aの上表面端部に酸化膜36a

を形成する。

【0038】その後、図22に示したように、これら酸化膜36aを有するメサ型シリコン33aを含むSOI基板30上全面に、膜厚100nm程度のSiN膜38を形成する。次いで、図23に示したように、SiN膜38を異方性のドライエッチングによってエッチバックすることにより、メサ型シリコン33aの上表面端部に形成された酸化膜36aと埋め込み酸化膜32表面との段差部、つまりメサ型シリコン33aの側壁にSiNによるスペーサ38aを形成することができる。これにより、酸化膜36aと埋め込み酸化膜32とによる段差を緩和することができ、この段差に起因するゲート電極の加工の困難さを回避することができる。

【0039】その後、図24に示したように、これら酸化膜36a及びスペーサ38aを有するメサ型シリコン33aを含むSOI基板30上全面に、ゲート酸化膜39を形成し、さらに、ゲート電極となるポリシリコン37を堆積する。

実施例5

図25に示したように、シリコン基板41上に、埋め込み酸化膜42が200nm程度、トップシリコン層43が100nm程度が形成されたSOI基板40を用いる。

【0040】図26に示したように、フォトリソグラフィと異方性ドライエッチング工程によって、後に素子分離領域となりうる領域45のトップシリコン層43を全て除去することにより、その領域45の埋め込み酸化膜42を露出させるとともに、メサ型シリコン43aを形成する。さらに、図27に示したように、SOI基板40上全面に、CVD酸化膜(図示せず)を5nm、SiN膜44を40nm程度堆積する。

【0041】次いで、図28に示したように、メサ型シリコン43aの上表面端部のSiN膜44を、スパッタリング効果の強い条件の異方性ドライエッチングで除去する。この際のエッティングは、例えば、エッティングチャンバー内にエッティングガスとしてC₃F₈を30SCCM流しながら、圧力を3mtoorrにコントロールし、ソースパワーを2800W、バイアスパワーを600Wに設定して行う。このようなエッティング条件により、角を有する形状に対してのみエッティングレートが得られ、平坦な面を持った形状はエッティングできない。

【0042】そして、図29に示したように、残されたSiN膜44aをマスクとして、例えば、900°C程度のパイロジエニック酸化で平坦なベアシリコンウェハ上で100nm程度の酸化膜が得られる条件で、メサ型シリコン33aの上表面端部の最も厚い部分が70nm程度になる酸化膜46を得る。次いで、図30に示したように、150°C程度に加熱したリン酸によってメサ型シリコン43a及び埋め込み酸化膜42上に残存するSiN膜44aを除去する。そして、イオン注入により、メ

サ型シリコン43a及びSOI基板40の不純物濃度を調節する。

【0043】その後、図31に示したように、これら酸化膜46を有するメサ型シリコン43aを含むSOI基板40上全面に、膜厚8nm程度のゲート酸化膜49を形成し、さらに、ゲート電極となるポリシリコン47を堆積する。

実施例6

上記実施例5と同様に、図25～図30に示したように、SiN膜44aで被覆されたメサ型シリコン43aの上表面端部に酸化膜46を形成する。

【0044】その後、図32に示したように、これら酸化膜46aを有するメサ型シリコン43a及びSiN膜44aを含むSOI基板40上全面に、膜厚100nm程度のSiN膜48を形成する。次いで、図33に示したように、SiN膜48を異方性のドライエッチングによってエッチバックすることにより、メサ型シリコン43aの上表面端部に形成された酸化膜46と埋め込み酸化膜42表面との段差部、つまりメサ型シリコン43aの側壁にSiNによるスペーザ48aを形成することができる。これにより、酸化膜46と埋め込み酸化膜42とによる段差を緩和することができ、この段差に起因するゲート電極の加工の困難さを回避することができる。

【0045】その後、図34に示したように、これら酸化膜46及びスペーザ48aを有するメサ型シリコン43aを含むSOI基板40上全面に、ゲート酸化膜49を形成し、さらに、ゲート電極となるポリシリコン47を堆積する。

【0046】

【発明の効果】本発明の半導体装置によれば、ゲート電極に電圧を印加した際に生じるメサ型シリコン膜の上表面端部でのゲートーチャネル間容量を小さくすることができるとともに、メサ型シリコン膜内のチャネル領域への2方向からの電界集中を緩和することができる。従って、オン／オフ特性が改善された非常に高性能の半導体装置を得ることが可能となる。

【0047】また、本発明の半導体装置の製造方法によれば、酸化処理する際には、SOI基板を構成する絶縁層を酸化雰囲気から保護することができる。よって、酸化プロセス中の絶縁層からの酸素の回り込みによるトップシリコンの薄膜化を防止することができる。さらに、メサ型シリコン膜の上表面端部に十分な膜厚を有するバーズピークを形成することにより、プロセス中の洗浄工程等によって、基板上に形成された酸化膜の膜厚が減少しても、メサ型シリコン膜の上表面端部が露出することを回避することができ、製造工程における制限がなくなり、自由度が得られることとなる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施例を示す要部の概略斜視図である。

【図2】本発明の半導体装置のメサ型シリコン膜の上表面端部における電界集中を説明するための概略断面図である。

【図3】本発明の半導体装置のドライブ電流ゲート電圧特性を示す図である。

【図4】本発明の半導体装置の製造方法の第1実施例を示す第1概略工程図である。

【図5】本発明の半導体装置の製造方法の第1実施例を示す第2概略工程図である。

【図6】本発明の半導体装置の製造方法の第1実施例を示す第3概略工程図である。

【図7】本発明の半導体装置の製造方法の第1実施例を示す第4概略工程図である。

【図8】本発明の半導体装置の製造方法の第1実施例を示す第5概略工程図である。

【図9】本発明の半導体装置の製造方法の第1実施例を示す第6概略工程図である。

【図10】本発明の半導体装置の製造方法の第1実施例を示す第7概略工程図である。

【図11】本発明の半導体装置の製造方法の第1実施例を示す第8概略工程図である。

【図12】本発明の半導体装置の製造方法の第1実施例を示す第9概略工程図である。

【図13】本発明の半導体装置の製造方法の第2実施例を示す概略工程図である。

【図14】本発明の半導体装置の製造方法の第2実施例を示す概略工程図である。

【図15】本発明の半導体装置の製造方法の第2実施例を示す概略工程図である。

【図16】本発明の半導体装置の製造方法の第3実施例を示す第1概略工程図である。

【図17】本発明の半導体装置の製造方法の第3実施例を示す第2概略工程図である。

【図18】本発明の半導体装置の製造方法の第3実施例を示す第3概略工程図である。

【図19】本発明の半導体装置の製造方法の第3実施例を示す第4概略工程図である。

【図20】本発明の半導体装置の製造方法の第3実施例を示す第5概略工程図である。

【図21】本発明の半導体装置の製造方法の第3実施例を示す第6概略工程図である。

【図22】本発明の半導体装置の製造方法の第4実施例を示す概略工程図である。

【図23】本発明の半導体装置の製造方法の第4実施例を示す概略工程図である。

【図24】本発明の半導体装置の製造方法の第4実施例を示す概略工程図である。

【図25】本発明の半導体装置の製造方法の第5実施例を示す第1概略工程図である。

【図26】本発明の半導体装置の製造方法の第5実施例

を示す第2概略工程図である。

【図27】本発明の半導体装置の製造方法の第5実施例を示す第3概略工程図である。

【図28】本発明の半導体装置の製造方法の第5実施例を示す第4概略工程図である。

【図29】本発明の半導体装置の製造方法の第5実施例を示す第5概略工程図である。

【図30】本発明の半導体装置の製造方法の第5実施例を示す第6概略工程図である。

【図31】本発明の半導体装置の製造方法の第5実施例を示す第7概略工程図である。

【図32】本発明の半導体装置の製造方法の第6実施例を示す概略工程図である。

【図33】本発明の半導体装置の製造方法の第6実施例を示す概略工程図である。

【図34】本発明の半導体装置の製造方法の第6実施例を示す概略工程図である。

【図35】従来の半導体装置の製造方法を示す第1概略工程図である。

【図36】従来の半導体装置の製造方法を示す第2概略工程図である。

【図37】従来の半導体装置の製造方法を示す第3概略工程図である。

【図38】従来の半導体装置の製造方法を示す第4概略工程図である。

【図39】従来の別の半導体装置を示す要部の概略断面図である。

【図40】図39におけるYの拡大図である。

【図41】図39の半導体装置のドライブ電流ゲート電圧特性を示す図である。

【図42】従来の半導体装置のさらに別の製造方法を示す第1概略工程図である。

【図43】従来の半導体装置のさらに別の製造方法を示す第2概略工程図である。

【図44】従来の半導体装置のさらに別の製造方法を示す第3概略工程図である。

【図45】従来の半導体装置のさらに別の製造方法を示す第4概略工程図である。

【図46】図45におけるZの拡大図である。

【図47】従来の半導体装置のさらに別の製造方法を示す概略工程図である。

【図48】従来の半導体装置のさらに別の製造方法を示す概略工程図である。

【図49】図48におけるMの拡大図である。

【符号の説明】

7 メサ型MOSトランジスタ(半導体装置)

8 ソース/ドレイン領域

9 チャネル領域

10、30、40 SOI基板

11、31、41 シリコン基板

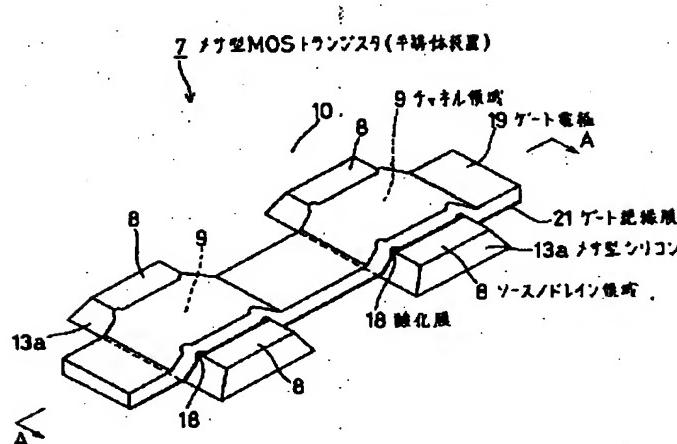
15

- 12、32、42 埋め込み絶縁膜（絶縁層）
 13、33、43 トップシリコン層
 13a、33a、43a メサ型シリコン膜
 14、34、44 SiN膜（酸化阻止膜）
 15、35、45 素子分離となりうる領域
 16 SiN膜（酸化阻止膜）
 17 SOG膜（平坦化膜）

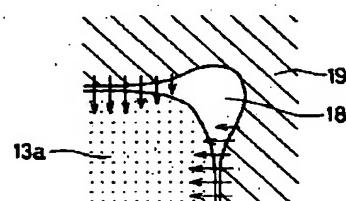
16

- 18、36a、46 酸化膜
 19、37、47 ゲート電極
 20、38、48 SiN膜
 20a、38a、48a スペーサ
 21、39、49 ゲート絶縁膜
 36 LOCOS膜
 36a LOCOS

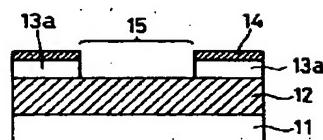
【図1】



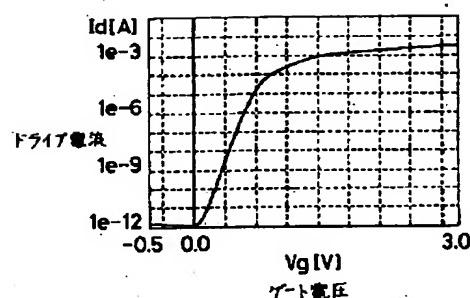
【図2】



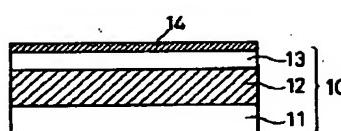
【図5】



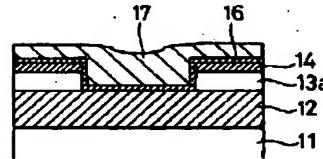
【図3】



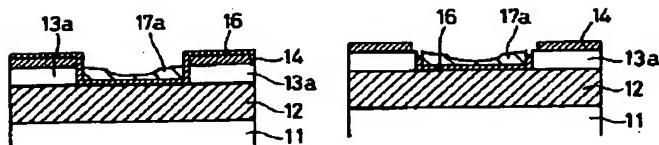
【図4】



【図6】

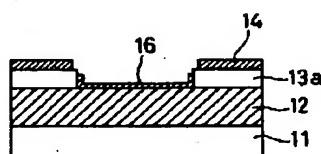


【図7】

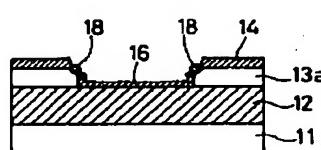


【図8】

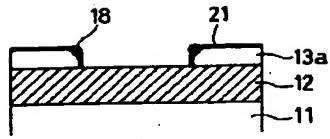
【図9】



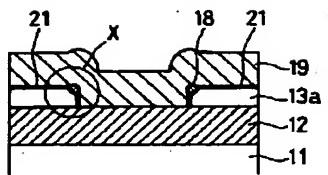
【図10】



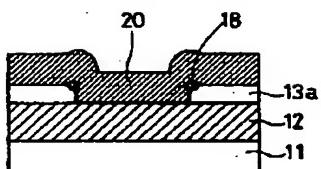
【図11】



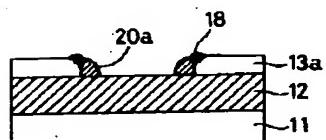
【図12】



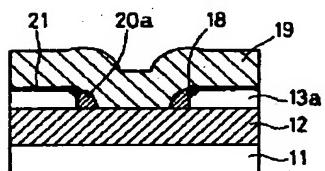
【図13】



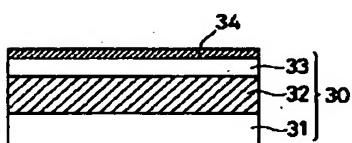
【図14】



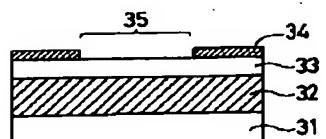
【図15】



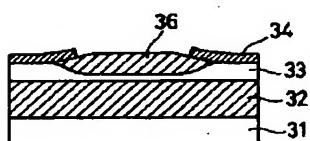
【図16】



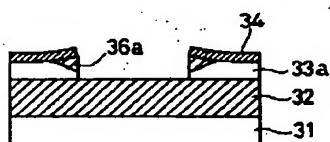
【図17】



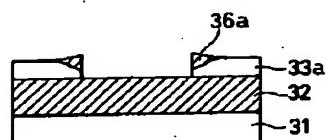
【図18】



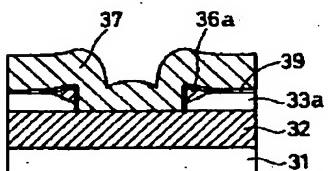
【図19】



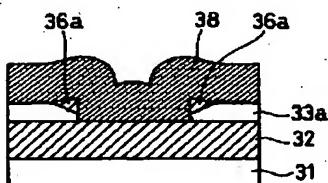
【図20】



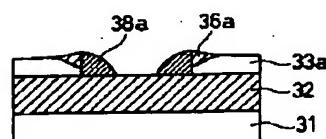
【図21】



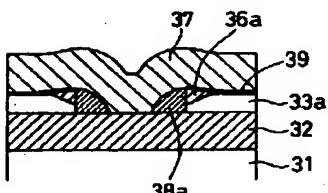
【図22】



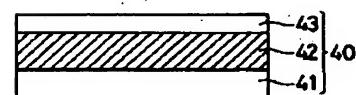
【図23】



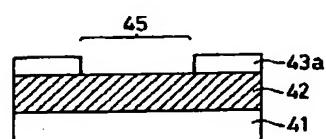
【図24】



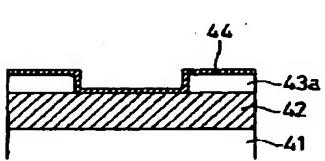
【図25】



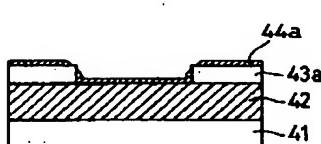
【図26】



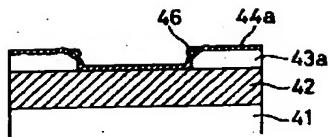
【図27】



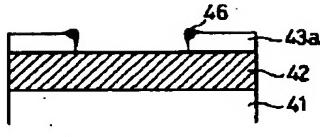
【図28】



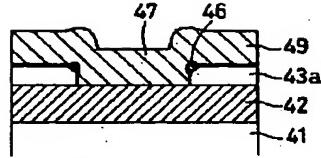
【図29】



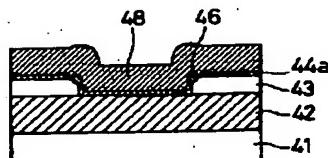
【図30】



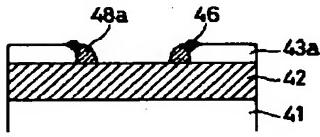
【図31】



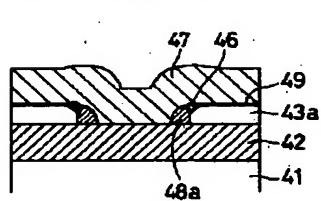
【図32】



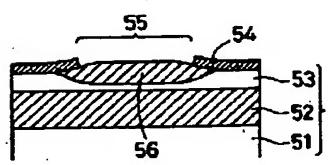
【図33】



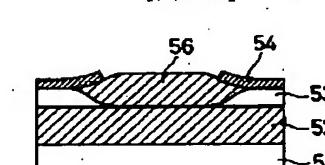
【図34】



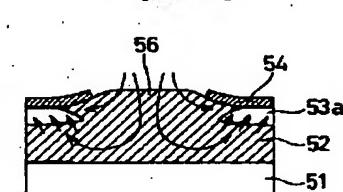
【図35】



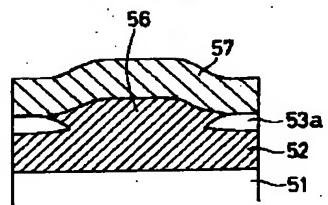
【図36】



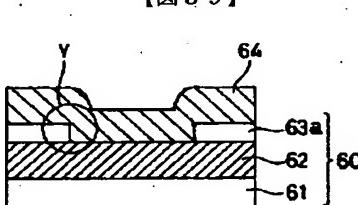
【図37】



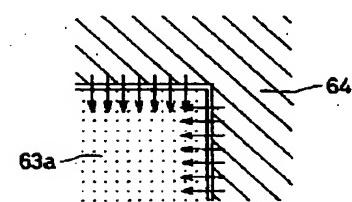
【図38】



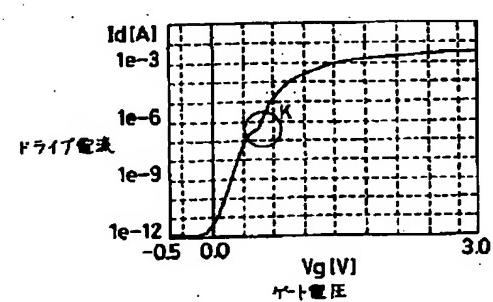
【図39】



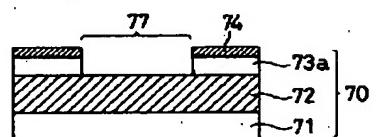
【図40】



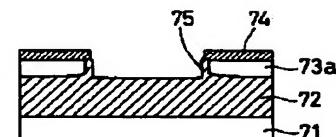
【図41】



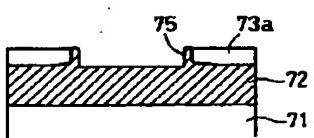
【図42】



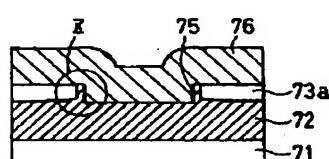
【図43】



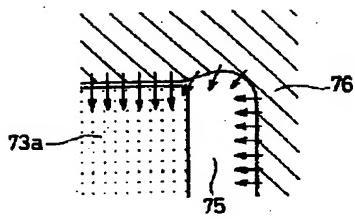
【図44】



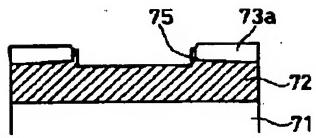
【図45】



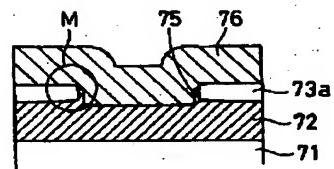
【図46】



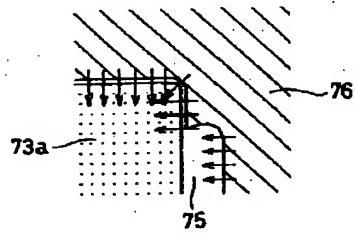
【図47】



【図48】



【図49】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172198

(43)Date of publication of application : 02.07.1996

(51)Int.CI.

H01L 29/786
H01L 21/336

(21)Application number : 06-314896

(71)Applicant : SHARP CORP

(22)Date of filing : 19.12.1994

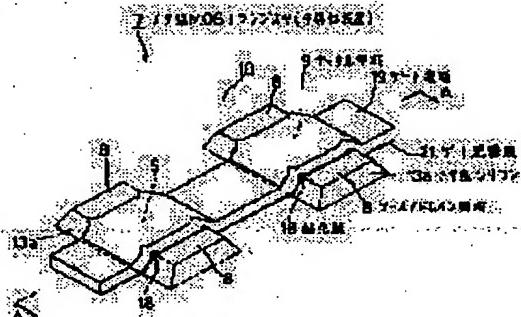
(72)Inventor : NAKAMURA KAZUYO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To alleviate electric field concentration at around mesa-type silicon by forming an oxide film thicker than a gate oxide film in the end part of an upper surface of a mesa-type silicon film under a gate electrode.

CONSTITUTION: A gate electrode 19 of a mesa-type MOS transistor 7 is provided on a mesa-type silicon film 13a, which constructs SOI substrate 10, with a gate oxide film 21 being interposed therebetween. The mesa-type silicon film 13a consists of a channel region 7 directly under the gate electrode 19 and a source/ drain region 8 adjacent to the channel region 9. Further, an oxide film 18 thicker than the gate oxide film 21 is formed in the end part of an upper surface of the mesa-type silicon film 13a. Thus, gate-channel capacitance in the end part of an upper surface of the mesa-type silicon film 13a generated when a voltage is applied to the gate electrode 19 can be made smaller and the electric field concentration in the two direction toward the channel region 9 within the mesa-type silicon film 13a can be alleviated.



[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172198
 (43)Date of publication of application : 02.07.1996

)Int.Cl. H01L 29/786
 H01L 21/336

)Application number : 06-314896 (77-148)
)Date of filing : 19.12.1994

(71)Applicant : SHARP CORP

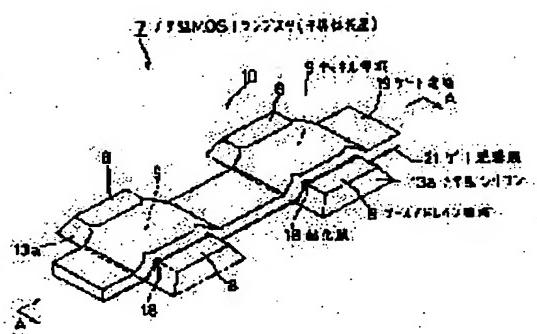
(72)Inventor : NAKAMURA KAZUYO

) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

)Abstract:

POSE: To alleviate electric field concentration at around mesa-type con by forming an oxide film thicker than a gate oxide film in the end t of an upper surface of a mesa-type silicon film under a gate electrode.

NSTITUTION: A gate electrode 19 of a mesa-type MOS transistor 7 is provided on a mesa-type silicon film 13a, which constructs SOI substrate with a gate oxide film 21 being interposed therebetween. The mesa-type silicon film 13a consists of a channel region 7 directly under the gate electrode 19 and a source/ drain region 8 adjacent to the channel region 9. Further, an oxide film 18 thicker than the gate oxide film 21 is formed in the end part of an upper surface of the mesa-type silicon film 13a. Thus, the-channel capacitance in the end part of an upper surface of the mesa-type silicon film 13a generated when a voltage is applied to the gate electrode 19 can be made smaller and the electric field concentration in two direction toward the channel region 9 within the mesa-type silicon 13a can be alleviated.



GAL STATUS

ate of request for examination] 03.07.1998

ate of sending the examiner's decision of rejection]

nd of final disposal of application other than the
aminer's decision of rejection or application converted
gistration]

ate of final disposal for application]

atent number] 3171764

ate of registration] 23.03.2001

umber of appeal against examiner's decision of
ection]ate of requesting appeal against examiner's decision of
ection]

ate of extinction of right]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

In the drawings, any words are not translated.

AIMS

aim(s)]

aim 1] The semiconductor device which consists of a gate electrode arranged through the aforementioned gate oxide film on the gate oxide film formed on the mesa type silicon film with which the source / drain field, and the channel were formed, and this mesa type silicon film, and the aforementioned mesa type silicon film, is under the aforementioned gate electrode and is characterized by to be formed the oxide film thicker than the aforementioned gate oxide film in the upper surface edge of a mesa type silicon film.

aim 2] Furthermore, the semiconductor device according to claim 1 with which the spacer is formed in the side chment wall of a mesa type silicon film.

aim 3] (i) At least, the top silicon layer of the SOI substrate in which the insulating layer and the top silicon layer e formed one by one is processed into a mesa type silicon film, and an oxidization prevention film is formed all over the SOI substrate top containing (ii) this mesa type silicon film. subsequently The aforementioned oxidization prevention film which exists in the upper surface edge of the aforementioned mesa type silicon film is removed (iii). dation treatment is given. The manufacture method of the semiconductor device according to claim 1 characterized forming an oxide film thicker than the gate oxide film behind formed in the upper surface edge of the aforementioned mesa type silicon film, and forming a gate insulator layer and a gate electrode on the SOI substrate taining the (iv) aforementioned mesa type silicon film.

aim 4] Process (i) It sets and the 1st oxidization prevention film is further formed on a SOI substrate. with this 1st dization prevention film Process a top silicon layer into a mesa type silicon film, and it is set at a process (ii). All r the SOI substrate top in which the process which forms an oxidization prevention film all over a SOI substrate top tains this mesa type silicon film that has the aforementioned 1st oxidization prevention film. The process which oves the aforementioned oxidization prevention film which is made by furthermore forming the 2nd oxidization vention film, and exists in the upper surface edge of a mesa type silicon film Form a flattening film all over the 2nd dization prevention film top, and the flattening film which *****'s and this remains so that of-the-same-grade vival of this flattening film may be carried out with the height of the aforementioned mesa type silicon film is used as task. The manufacture method of the semiconductor device according to claim 3 made by removing the rementioned 1st oxidization prevention film and the 2nd oxidization prevention film which exist in the upper surface e of the aforementioned mesa type silicon film.

aim 5] The manufacture method of a semiconductor device according to claim 3 that the method of removing the dization prevention film of a process (ii) is anisotropy dry etching.

aim 6] (i) The oxidization prevention film which has a desired pattern is formed on the SOI substrate in which the ulating layer and the top silicon layer were formed one by one. (ii) The grade to which not all the aforementioned top con layers oxidize is given at LOCOS oxidization, using this oxidization prevention film as a mask (iii). subsequently By processing the aforementioned top silicon layer into a mesa type silicon film, using this oxidization vention film as a mask The manufacture method of the semiconductor device characterized by forming an oxide film cker than the gate oxide film behind formed in the upper surface edge of a mesa type silicon film, and forming a gate ulator layer and a gate electrode on the SOI substrate containing the (iv) aforementioned mesa type silicon film.

anslation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

In the drawings, any words are not translated.

TAILED DESCRIPTION

tailed Description of the Invention]

01]

lustrial Application] About a semiconductor device and its manufacture method, this invention is a device which has the mesa structure formed in the SOI (SiliconOn Insulator) substrate in a detail, and relates to the semiconductor device which eases the electric-field concentration by the mesa type silicon periphery especially, and its manufacture method.

02]

scription of the Prior Art] When manufacturing a device using the substrate which has SOI structure, one of the important technology which influences the performance is isolation. It roughly divides into this and there are two kinds methods. One side is the method of performing and carrying out isolation of the alternative oxidization like LOCOS dization, and a method of separating the island (mesa) and island (mesa) of silicon physically by *****ing top silicon in the shape of an island (mesa structure).

03] The isolation method by the common LOCOS film is shown below. As shown in drawing 35 , the SOI substrate in which it embedded on the silicon substrate 51 as a substrate, and the oxide film 52 and the top silicon layer 53 are formed is used. A thin oxide film (not shown) and the SiN film 54 are deposited one by one on this SOI substrate. Then, a photolithography and an anisotropy dry etching process remove the SiN film 54 of an isolation field and the field 55 which may become. Subsequently, LOCOS oxidization is performed and the LOCOS film 56 is formed. Under present circumstances, in order to perform electric separation completely, as shown in drawing 36 and 37, it is desirable for the top silicon layer 53 of an isolation field and the field 55 which may become to oxidize altogether, and the LOCOS film 56 to embed, and to contact an oxide film 52.

04] Then, as shown in drawing 38 , the SiN film 54 is removed altogether. Subsequently, contest 57 polysilicon used gate oxide film (not shown) and a gate electrode is deposited on these LOCOS(s) film 56 and separated top silicon layer 53a. Thus, when a LOCOS film performs isolation and the thickness of a top silicon layer uses a thin SOI substrate especially, the following problems arise. That is, LOCOS oxidization advances, and from the moment the LOCOS film contacted the embedding oxide film of a SOI substrate, as the arrow in drawing 37 showed, the oxygen around which it is through an embedding oxide film will oxidize a top silicon layer from a lower layer, and will make a top silicon layer thinner.

05] Since the property is large and the transistor of SOI structure changes by the thickness of top silicon, the problem he above thin-film-izing of a top silicon layer will become fatal on a device property. Especially, it becomes remarkable when the thickness of a top silicon layer is thin. Moreover, the isolation method by mesa structure is shown below.

06] The same SOI substrate 60 as the above is used. First, a photolithography and an anisotropy dry etching process remove the top silicon layer 63 of the isolation field of the SOI substrate 60, and the field which may become. The bedding oxide film 62 will be exposed in an isolation field and the field which may become by this, mesa type silicon is separated physically is formed of it, and, also electrically, this mesa type silicon 63a is separated with adjoining mesa type silicon. Subsequently, as shown in drawing 39 , the gate electrode 64 is formed on the SOI substrate 60 which contains a thin oxide film (not shown) on this SOI substrate 60, then contains these mesas type silicon 63a.

07] In this case, since the amount of oxidization in the state where the embedding oxide film 62 was exposed is very small (it is only a part for the thin oxide film which is a gate oxide film), although there is no problem of thin-film-izing the top silicon layer by the wraparound of the above oxygen, on the other hand, it has the following problems. That as shown in drawing 40 which is an enlarged view in [Y] drawing 39 , as for a part for the upper surface edge of mesa type silicon 63a, the side will also be covered by the gate electrode 64 with the upper surface. Therefore, for

ample, when the potential at the time of an ON operation is given to a gate electrode, the amount of [of mesa type silicon 63a] upper surface edge will receive electric field from a 2-way. Thereby, a defect (kink) will appear in a gate-voltage-drive current curve, and a part for the upper surface edge of mesa type silicon 63a worsens ON/OFF property of transistor, as it is reversed first, it keeps compared with other portions (a channel formed) and it was shown in [K] wing 41.

08] Moreover, as it was shown in drawing 45 in order to solve such a trouble for example, the semiconductor device which eases the electric field from the side attachment wall shown in drawing 46 is proposed by forming an oxide film only in the side of mesa type silicon 73a. Such a semiconductor device can be formed as follows. As shown in wing 42, the SOI substrate 70 in which it embedded on the silicon substrate 71 and an oxide film 72 and 73 layers of silicon were formed is used. A thin oxide film (not shown) and the SiN film 74 are deposited on this SOI substrate. Then, a photolithography and an anisotropy dry etching process remove the SiN film 74 and the top silicon layer 73 in isolation field and the field 77 which may become, and mesa type silicon 73a is formed.

09] Subsequently, as shown in drawing 43, an oxide film 75 is formed only in the side attachment wall of mesa type silicon 73a by using the SiN film 74 as a mask and exposing the side of mesa type silicon 73a to an oxidizing atmosphere. Then, as shown in drawing 44, the SiN film 74 is removed and the gate electrode 76 is formed on the SOI substrate 70 containing mesa type silicon 73a.

10] However, in this method, since oxidization in the state where the embedding oxide film 72 was exposed is decided, thin film-ization of mesa type silicon 73a poses a problem like above-mentioned LOCOS oxidization. Moreover, since the oxide film called BAZU beak sufficient by the above-mentioned method for a part for the upper surface edge of mesa type silicon 73a cannot be formed (an apparent BAZU beak is not greatly made since the oxide 175 of a mesa type silicon 73a side attachment wall grows in the same direction as the direction where a BAZU beak is prolonged), as shown in drawing 47, the oxide films 72 and 75 of the SOI substrate 70 whole surface are removed a little by the next washing process etc. Consequently, on this SOI substrate 70, as were shown in drawing 48 and as shown in drawing 49 when the gate electrode 76 was formed and the potential at the time of an ON operation was given to a gate electrode, electric field will be received from a 2-way at the upper surface edge of mesa type silicon 73a, and ON/OFF property is worsened.

11] This invention is made in view of the above-mentioned technical problem, and it aims at offering the semiconductor device which can ease the electric-field concentration by the mesa type silicon periphery, and its manufacture method.

12] Means for Solving the Problem] It consists of a gate electrode arranged through the aforementioned gate oxide film on gate oxide film formed on the mesa type silicon film with which the source / drain field, and the channel field were formed, and this mesa type silicon film, and the aforementioned mesa type silicon film, and, according to this invention, a semiconductor device with which it is under the aforementioned gate electrode, and the oxide film thicker than the aforementioned gate oxide film is formed in the upper surface edge of a mesa type silicon film is offered.

13] Moreover, (i) At least, the top silicon layer of the SOI substrate in which the insulating layer and the top silicon layer were formed one by one is processed into a mesa type silicon film, and an oxidization prevention film is formed over the SOI substrate top containing (ii) this mesa type silicon film. subsequently The aforementioned oxidization prevention film which exists in the upper surface edge of the aforementioned mesa type silicon film is removed (iii). Oxidation treatment is given. The manufacture method of the above-mentioned semiconductor device which forms an oxide film thicker than the gate oxide film behind formed in the upper surface edge of the aforementioned mesa type silicon film, and forms a gate insulator layer and a gate electrode on the SOI substrate containing the (iv) aforementioned mesa type silicon film is offered.

14] Furthermore, (i) The oxidization prevention film which has a desired pattern is formed on the SOI substrate in which the insulating layer and the top silicon layer were formed one by one. (ii) The grade to which not all the aforementioned top silicon layers oxidize is given at LOCOS oxidization, using this oxidization prevention film as a mask (iii). Subsequently By processing the aforementioned top silicon layer into a mesa type silicon film, using this oxidization prevention film as a mask The manufacture method of the above-mentioned semiconductor device which forms an oxide film thicker than the gate oxide film behind formed in the upper surface edge of a mesa type silicon film, and forms a gate insulator layer and a gate electrode on the SOI substrate containing the (iv) aforementioned mesa type silicon film is offered.

15] The semiconductor device in this invention is mainly constituted by a mesa type silicon film, a gate oxide film, and the gate electrode, further, is the upper surface edge of a mesa type silicon film, and has the oxide film thicker than the gate oxide film into the portion covered by the gate electrode. Such a semiconductor device can be manufactured.

g the substrate which has SOI, SOS (Silicon On Sapphire), and SIMOX (Separation by Implanted Oxygen) structure. As for such a substrate, top silicon is formed on the thing by which the insulating layer and the top silicon were formed on the substrate, or an insulating substrate. As the example, on a silicon substrate, a spinel, aluminum₂O₃-MgO, BP and CaF₂ Or the substrate in which a single crystal insulator layer and silicon, such as SrO, formed, a substrate [by which silicon was formed on insulating substrates, such as a sapphire,], and silicon-trate top -- SiN or SiO₂ etc. -- the substrate in which an insulator layer and single crystal silicon were formed -- It is to a silicon substrate. The substrate which embeds by performing an ion implantation or carrying out anodization of the silicon substrate, and forms an oxide film and by which silicon is formed on this embedding oxide can be mentioned. When the insulating layer is formed on the silicon substrate, although about 10-500nm of top on layers by which the thickness of the insulating layer is formed on about 50-100nm and the insulating layer is in many cases, they are not limited to this.

6] Patterning of the top silicon layer of the above-mentioned substrate is carried out to the shape of an island by a well-known method, for example, a photolithography, and the etching process, and the mesa type silicon film is formed. This mesa type silicon film functions as an active region of the mesa transistor in which the source / drain field, and the channel field were formed. The source / drain field can be formed by pouring in the impurity of a well-known method, example, P type, or N type.

7] As for the gate oxide film currently formed on the mesa type silicon film, it is desirable to be formed by about 3-nm thickness by the well-known method, for example, the oxidizing [thermally] method. The gate electrode may be formed of the silicide of contest polysilicon, a tungsten, titanium, nickel, cobalt, a tantalum, aluminum, germanium, these metals, the polycide, etc. As for this gate electrode, it is desirable to be formed by about 30-100nm thickness by the well-known method.

8] As for the oxide film formed in the upper surface edge of a mesa type silicon film, it is [that what is necessary is first be formed in the portion (at least directly under / gate electrode /) covered by the gate electrode at least] preferable to be formed in about 5-300nm in the portion with the thickest thickness. However, the thickness of supply oxide or a gate oxide film can adjust suitably. Moreover, you may form the spacer by SiO₂, SiN, etc. in the side chment wall of the mesa type silicon film covered by between oxide films and substrate front faces thicker than the oxide film arranged in the upper surface edge of a mesa type silicon film (i.e., a gate electrode). Such a spacer has an oxide film in the upper surface edge of a mesa type silicon film, subsequently to the whole substrate top face, can form SiO₂, SiN, etc. by about 10-500nm thickness, and can form them by performing whole surface back by anisotropic etching etc.

19] In the manufacture method of the semiconductor device of this invention, after forming a mesa type silicon film, oxidation prevention film is formed all over a substrate top, and the oxidization prevention film subsequently to the upper surface edge of a mesa type silicon film located is removed. Although especially the oxidization prevention film in this case is not limited, its SiN film is desirable. The oxidization prevention film in this case is a well-known method, it is desirable to form by about 20-200nm thickness. As a method of removing the oxidization prevention film located in the upper surface edge of a mesa type silicon film, it is desirable not to *****, but only for the configuration which has an angle to choose the conditions on which it *****s, and to perform a flat field by isotropy dry etching with the strong sputtering effect. for example, gas -- C₃F₈ Or C₄F₈ etc. -- equipment can adjust system gas and a flow rate suitably As for mTorr order and source power, the conditions of 500-700W are mentioned for a pressure, as for 2000-3000W, and bias. Moreover, in case the 1st oxidization prevention film is formed a top silicon layer and patterning of the mesa type silicon is carried out, you may carry out patterning of the 1st oxidization prevention film together. the [in this case, / this mesa type silicon and] -- all over 1 oxidization prevention a top, the 2nd oxidization prevention film is formed and a flattening film is further formed all over the 2nd oxidization prevention film top the [the 1st and] -- the same thing as the above can be used as a 2 oxidization prevention film The thickness of about 10-500nm and the 2nd oxidization prevention film has [the thickness of the 1st oxidization prevention film in this case] desirable about 5-500nm. Especially as a flattening film, although not limited, is desirable to form SOG, BPSG, PSG, etc. by 20nm - about 2 micrometers thickness. Then, a flattening film is *****ed until it has height of the same grade as a mesa type silicon film. Etching in this case gives the elevated-temperature section 200 degrees C or more in reaction chambers, such as a well-known method, for example, an up electrode, a chamber wall, etc., and is CF₄ there. It can control so that introduction and a flow rate become Number Torr, and it can carry out by the method of *****ing on the source power 1500-2500W and the Bias 400-600W. obtained flattening film -- as a mask -- using -- the [the 1st and] -- etching removal of the 2 oxidization prevention is carried out It is desirable for etching in this case to remove the 2nd oxidization prevention film by which a mask not carried out, and the 1st oxidization prevention film arranged at the upper surface edge of a mesa type silicon film,

to perform it by choosing the isotropic etching conditions [like] which only the upper surface edge of a mesa type film exposes. Specifically, it is CF₄. O₂ It controls so that a pressure becomes Number Torr (for example, rr), and it is O₂. It can ***** by setting bias power to 200-300W 40% or more of the full flow.

20] The mesa type silicon film from which the oxidation prevention film which exists in the upper surface edge mentioned above was removed is given to oxidation treatment. The conditions of oxidation treatment in this are about 700-1200-degree C temperature requirements, and it is desirable to choose the conditions which can obtain an about 5-500nm oxide film on a flat silicon wafer. The oxide film from which the thickest portion (corner ion) serves as thickness more than the double precision of a gate oxide film by this more thickly than the gate oxide formed in the upper surface edge of a mesa type silicon film at a next process can be formed.

21] Then, a semiconductor device can be obtained by the well-known method by performing arbitrarily processes, such as formation of a gate oxide film, formation of a gate electrode, formation of the source / drain field, and control of threshold voltage. Furthermore, after forming in a SOI substrate the oxidation prevention film which has a desired configuration and performing LOCOS oxidization to it as the another manufacture method of a semiconductor device. Using this oxidation prevention film, you may form a mesa type silicon film. First, after forming an oxidation prevention film on a SOI substrate, opening is formed in an isolation film formation field according to a well-known method, for example, a photolithography, and an etching process. And the obtained SOI substrate is given to LOCOS oxidization by the well-known method. As LOCOS oxidization conditions in this case, it is an about 700-1200-degree C temperature requirement, and it is desirable to choose the conditions which can obtain an about 5-500nm oxide film on a silicon wafer. That is, by this oxidization, although the top silicon layer of an isolation film formation field is oxidized, a top silicon layer does not oxidize completely in the depth direction, but it oxidizes so that an element concentration field may not be separated completely. Specifically, it oxidizes in about 10 - 90% of the thickness of a top silicon layer. In addition, the configuration of a gate oxide film, supply voltage, and a top silicon layer etc. can adjust oxidization in this case suitably. Then, using the oxidation prevention film used by LOCOS oxidization, this COS film and the top silicon layer which remains are removed until the insulating layer under a top silicon layer is removed by the well-known method, for example, anisotropic etching. The mesa type silicon film which has by this an oxide film thicker than the gate oxide film behind formed in an upper surface edge can be formed.

22] Invention] Since the oxide film thicker than a gate oxide film is formed in the upper surface edge of a mesa type silicon film, while making small capacity between gate-channels in the upper surface edge of the mesa type silicon film produced when voltage is impressed to a gate electrode according to the semiconductor device of this invention, the electric-field concentration from the 2-way to the channel field in a mesa type silicon film is eased, and ON/OFF property of a semiconductor device is improved as a result.

23] Moreover, according to the manufacture method of the semiconductor device of this invention, an oxidation prevention film is formed all over the substrate top which has a mesa type silicon film. Subsequently, since an oxide film thicker than a gate oxide film is formed in the upper surface edge of a mesa type silicon film by removing the oxidation prevention film located in the upper surface edge of a mesa type silicon film, and oxidizing the obtained oxidation prevention film as a mask. In case it oxidizes, the insulating layer which constitutes a SOI substrate serves as where it is protected from an oxidizing atmosphere. Thereby, thin film-ization of the top silicon in an oxidization process which is looked at by the isolation method by the conventional LOCOS oxidization is prevented.

24] furthermore, in forming a mesa type silicon film after forming in a SOI substrate the oxidation prevention film which has a desired configuration and performing LOCOS oxidization to it using this oxidation prevention film. Even the thickness of the oxide film which the BAZU beak which has sufficient thickness for the upper surface edge of a mesa type silicon film will be formed, and was formed on the substrate of the washing process in a process etc. increases, it is avoided that the upper surface edge of a mesa type silicon film is exposed.

25] Example] Below, the example of the mesa type MOS transistor which is the semiconductor device of this invention, its manufacture method is explained based on a drawing.

shown in drawing 12 which is the A-A line cross section of example 1 drawing 1 and drawing 1, the gate electrode is arranged through the gate oxide film 21 on mesa type silicon 13a which constitutes the SOI substrate 10, and mesa type MOS transistor 7 is constituted. Mesa type silicon 13a consists of a channel field 9 of gate electrode 19 directly under, and the source / drain field 8 contiguous to the channel field 9. Moreover, the oxide film 18 thicker than the gate oxide film 21 is formed in the upper surface edge (portion which the electric field from the gate electrode 19 concentrate when voltage is impressed to the gate electrode 19) of mesa type silicon 13a.

26] Thus, in mesa type MOS transistor 7 constituted, as shown in drawing 2 which is an enlarged view in [X]

wing 12 , when the potential at the time of the ON operation of the gate electrode 19 is given, by the oxide film 18, inside policy of the gate-channel capacity can be carried out, and, therefore, the electric-field concentration from the ay of the channel field top of mesa type silicon 13a and the side can be eased. A gate-voltage-drive current curve as wn in drawing 3 can be obtained by this, and ON/OFF property of a transistor can be improved.

27] Below, the manufacture method of a mesa type MOS transistor is explained. On a silicon substrate 11, the SOI strate 10 in which about 100nm was formed [the embedding oxide film 12] for about 200nm and the top silicon er 13 is used. As shown in drawing 4 , an about 5nm oxide film (not shown) and the about 60nm SiN film 14 are osited on the top silicon layer 13 of this SOI substrate 10.

28] Subsequently, as shown in drawing 5 , while exposing the embedding oxide film 12 of the field 15 by removing gther behind the SiN film 14, oxide film, and the top silicon layer 13 of an isolation field and the field 15 which y become according to a photolithography and an anisotropy dry etching process, mesa type silicon 13a is formed. thermore, as shown in drawing 6 , all over the SOI substrate 10 top, about 40nm of SiN films 16 is deposited, and film 14 and the exposed embedding oxide film 12 are covered with the SiN film 16. And flattening is performed by ositing the SOG film 17 excellent in flattening capacity on the SiN film 16.

29] Subsequently, as shown in drawing 7 , etchback removes the SOG film 17 whole surface to the upper surface the homotopic of mesa type silicon 13a. And as shown in drawing 8 , etching removes the SiN film 16 for left- ind SOG film 17a on a mask. Under the present circumstances, conditions on which about 50nm *****s by etching with isotropic SiN are chosen. Thereby, most SiN films 14 deposited on mesa type silicon 13a remain, and silicon of only the upper surface edge (portion which the electric field from the gate electrode formed at a next cess concentrate) of mesa type silicon 13a exposes it.

30] Subsequently, as shown in drawing 9 , all left-behind SOG film 17a is removed. Then, as shown in drawing 10 , oxide film 18 from which the thickest portion of the upper surface edge of mesa type silicon 13a is set to about m is obtained on the conditions from which an about 100nm oxide film is obtained on a flat raise in basic wages con wafer by pie ROJIE nick oxidization of about 900 degrees C.

31] Subsequently, as shown in drawing 11 , the SiN films 14 and 16 which remain by the phosphoric acid heated at ut 150 degrees C on mesa type silicon 13a and the embedding oxide film 12 are removed. And the high impurity entration of mesa type silicon 13a and the SOI substrate 10 is adjusted with an ion implantation. Then, as shown in wing 12 , all over the SOI substrate 10 top containing mesa type silicon 13a which has these oxide films 18, the gate de film 21 of about 8nm of thickness is formed, and contest 19 polysilicon used as a gate electrode is deposited her.

32] Hereafter, mesa type MOS transistor 7 as shown in drawing 1 is obtained by passing through processes, such as usual ion implantation and heat treatment.

the example 2 above-mentioned example 1, as shown in drawing 4 - drawing 11 , an oxide film 18 is formed in the rier surface edge of mesa type silicon 13a.

33] Then, as shown in drawing 13 , the SiN film 20 of about 100nm of thickness is formed all over the SOI substrate top containing mesa type silicon 13a which has these oxide films 18. Subsequently, as shown in drawing 14 , by trying out etchback of the SiN film 20 by the dry etching of an anisotropy, it can embed with the oxide film 18 ed in the upper surface edge of mesa type silicon 13a, and spacer 20a by SiN can be formed in the level difference tion with oxide-film 12 front face, i.e., the side attachment wall of mesa type silicon 13a. By this, it can embed with oxide film 18, the level difference by the oxide film 12 can be eased, and the difficulty [the gate electrode resulting m this level difference] of processing can be avoided.

34] Then, as shown in drawing 15 , all over the SOI substrate 10 top containing mesa type silicon 13a which has se oxide films 18 and spacer 20a, the gate oxide film 21 is formed and contest 19 polysilicon used as a gate electrode leposited further.

the example 3 silicon substrate 31, the SOI substrate 30 in which about 100nm was formed [the embedding oxide n 32.] for about 200nm and the top silicon layer 33 is used. As shown in drawing 16 , an about 5nm oxide film (not wn) and the about 60nm SiN film 34 are deposited on the top silicon layer 33 of this SOI substrate 30.

35] Subsequently, as shown in drawing 17 , the top silicon layer 33 of the field 35 is exposed by removing behind y the SiN film 34 of an isolation field and the field 35 which may become according to a photolithography and an sotropy dry etching process. Then, as shown in drawing 18 , LOCOS oxidization is performed so that it may leave top silicon layer 33 in an isolation field and the field 35 which may become in the depth direction for a while idization for all thickness of top silicon is not carried out). It is pie ROJIE nick oxidization of about 900 degrees C, it is the conditions from which an about 100nm oxide film is obtained on a flat raise in basic wages silicon wafer, as for oxidization conditions, the minimum thickness of the top silicon layer 33 which remained in the isolation

1 and the field 35 which may become, without oxidizing obtains the oxide film 36 set to about 50nm. Under the present circumstances, it is connected between element fields in the thin top silicon layer 33 which remained without oxidizing, and it will be in the state where isolation is not fully performed.

36] Subsequently, as shown in drawing 19, the SiN film 34 which remains is used as a mask, and the oxide film 36 in which only 100nm thickness carried out LOCOS oxidization here) of an isolation field and the field 35 which may become, and the top silicon layer 33 (here, 50nm silicon remains) which remains in the lower layer are removed by one by anisotropy dry ENNGU. Thereby, between element fields, mesa type silicon 33a which has oxide-film is formed in a part for an upper surface edge while dissociating completely.

37] Furthermore, as shown in drawing 20, the phosphoric acid heated at about 150 degrees C removes the SiN film and the high impurity concentration of mesa type silicon 33a and the SOI substrate 30 is adjusted with an ion implantation. Then, as shown in drawing 21, all over the SOI substrate 30 top which contains in a part for an upper surface edge mesa type silicon 33a which has oxide-film 36a, the gate oxide film 39 of about 8nm of thickness is formed, and contest 37 polysilicon used as a gate electrode is deposited further.

38] Furthermore, as shown in drawing 22, oxide-film 36a is formed in the upper surface edge of mesa type silicon 33a.

38] Then, as shown in drawing 22, the SiN film 38 of about 100nm of thickness is formed all over the SOI substrate top containing mesa type silicon 33a which has these oxide-films 36a. Subsequently, as shown in drawing 23, by carrying out etchback of the SiN film 38 by the dry etching of an anisotropy, it can embed with oxide-film 36a formed in the upper surface edge of mesa type silicon 33a, and spacer 38a by SiN can be formed in the level difference section with oxide-film 32 front face, i.e., the side attachment wall of mesa type silicon 33a. By this, it can embed with oxide-film 36a, the level difference by the oxide film 32 can be eased, and the difficulty [the gate electrode resulting from this level difference] of processing can be avoided.

39] Then, as shown in drawing 24, all over the SOI substrate 30 top containing mesa type silicon 33a which has these oxide-films 36a and spacer 38a, the gate oxide film 39 is formed and contest 37 polysilicon used as a gate electrode is deposited further.

40] As shown in drawing 25, the SOI substrate 40 in which about 100nm was formed [the embedding oxide film 42] for about 200nm and the top silicon layer 43 is used on a silicon substrate 41.

40] As shown in drawing 26, while exposing the embedding oxide film 42 of the field 45 by removing altogether the top silicon layer 43 of an isolation field and the field 45 which may become according to a photolithography and an anisotropy dry etching process, mesa type silicon 43a is formed. Furthermore, as shown in drawing 27, 5nm and about 40nm of SiN films 44 are deposited for a CVD oxide film (not shown) all over the SOI substrate 40 top.

41] Subsequently, as shown in drawing 28, the SiN film 44 of the upper surface edge of mesa type silicon 43a is removed by the anisotropy dry etching of the strong conditions of the sputtering effect. Etching in this case is C3 F8 as etching gas for example, in an etching chamber. With 30SCCM sink, a pressure is controlled to 3mtorr(s), and it carries out by setting source power as 2800W and setting bias power as 600W. According to such etching conditions, an etching rate is obtained only to the configuration which has an angle, and the configuration with the flat field cannot be etched.

42] And as shown in drawing 29, the oxide film 46 from which the thickest portion of the upper surface edge of mesa type silicon 33a is set to about 70nm is obtained on the conditions from which an about 100nm oxide film is obtained on a flat raise in basic wafers silicon wafer by pie ROJIE nick oxidization of about 900 degrees C by using left-hand SiN film 44a as a mask. Subsequently, as shown in drawing 30, SiN film 44a which remains by the phosphoric acid heated at about 150 degrees C on mesa type silicon 43a and the embedding oxide film 42 is removed. And the high impurity concentration of mesa type silicon 43a and the SOI substrate 40 is adjusted with an ion implantation.

43] Then, as shown in drawing 31, all over the SOI substrate 40 top containing mesa type silicon 43a which has these oxide films 46, the gate oxide film 49 of about 8nm of thickness is formed, and contest 47 polysilicon used as a gate electrode is deposited further.

44] Furthermore, as shown in drawing 25 - drawing 30, an oxide film 46 is formed in the upper surface edge of mesa type silicon 43a covered with SiN film 44a.

44] Then, as shown in drawing 32, the SiN film 48 of about 100nm of thickness is formed all over the SOI substrate top containing mesa type silicon 43a and SiN film 44a which have these oxide-films 46a. Subsequently, as shown in drawing 33, by carrying out etchback of the SiN film 48 by the dry etching of an anisotropy, it can embed with the oxide film 46 formed in the upper surface edge of mesa type silicon 43a, and spacer 48a by SiN can be formed in the level difference section with oxide-film 42 front face, i.e., the side attachment wall of mesa type silicon 43a. By this, it can embed with an oxide film 46, the level difference by the oxide film 42 can be eased, and the difficulty [the gate

trode resulting from this level difference] of processing can be avoided.

45] Then, as shown in drawing 34 , all over the SOI substrate 40 top containing mesa type silicon 43a which has the oxide films 46 and spacer 48a, the gate oxide film 49 is formed and contact 47 polysilicon used as a gate electrode is deposited further.

46] [Effect of the Invention] While being able to make small capacity between gate-channels in the upper surface edge of mesa type silicon film produced when voltage is impressed to a gate electrode according to the semiconductor device of this invention, the electric-field concentration from the 2-way to the channel field in a mesa type silicon film can be eased. Therefore, it becomes possible to obtain the very highly efficient semiconductor device with which ON/OFF property has been improved.

47] Moreover, according to the manufacture method of the semiconductor device of this invention, in case it oxidizes, the insulating layer which constitutes a SOI substrate can be protected from an oxidizing atmosphere. Before, thin film-ization of the top silicon by the wraparound of the oxygen from the insulating layer in an oxidation process can be prevented. Furthermore, even if the thickness of the oxide film formed on the substrate decreases according to the washing process in a process etc. by forming the BAZU beak which has sufficient thickness at the upper surface edge of a mesa type silicon film, it can avoid that the upper surface edge of a mesa type silicon film is exposed, the limit in a manufacturing process will be lost, and flexibility will be obtained.

anslation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

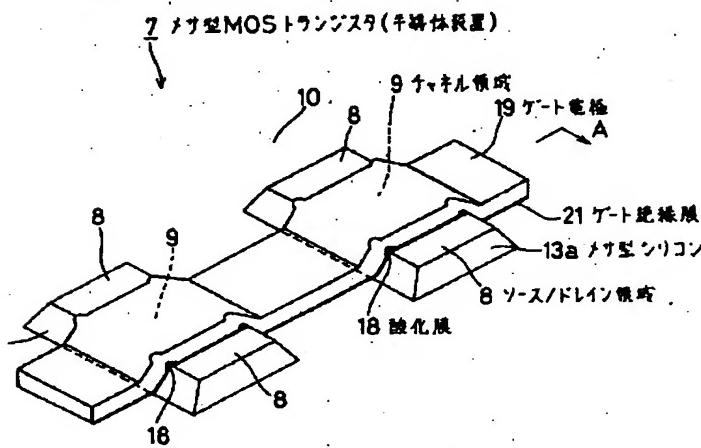
This document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

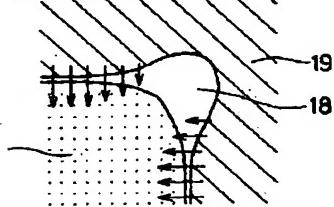
In the drawings, any words are not translated.

AWINGS

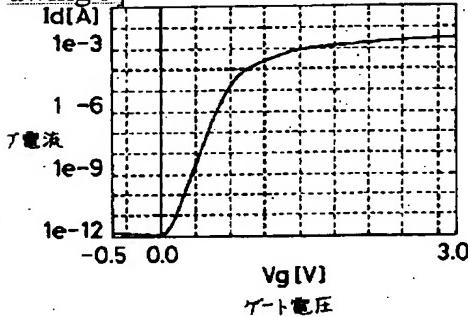
awing 1]



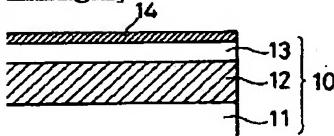
awing 2]

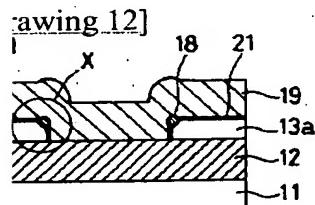
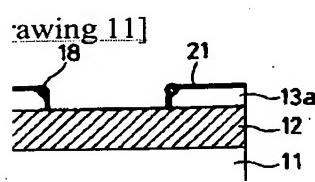
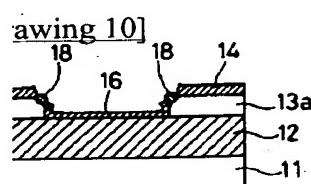
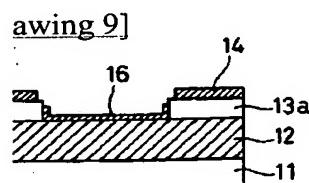
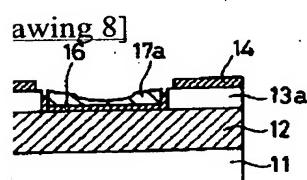
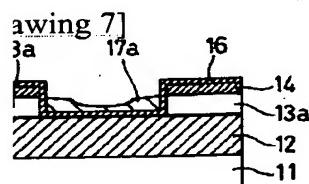
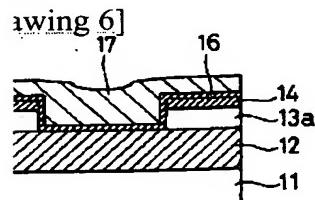
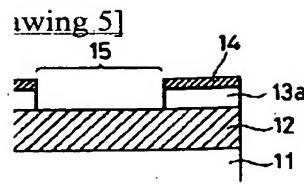


awing 3]



awing 4]

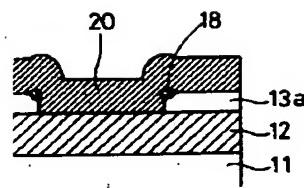




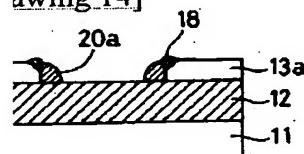
awing 13]

[p://www4.ipdl.jpo.go.jp/cgi-bin/tran_web.cgi_ejje](http://www4.ipdl.jpo.go.jp/cgi-bin/tran_web.cgi_ejje)

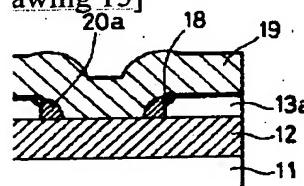
12/17/2003



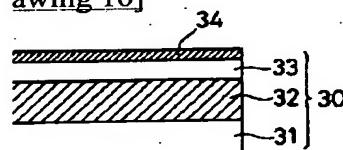
awing 14]



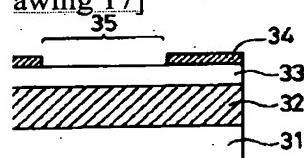
awing 15]



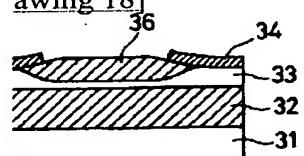
awing 16]



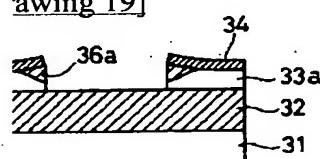
awing 17]



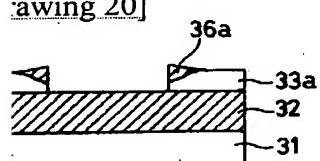
awing 18]



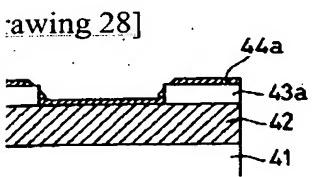
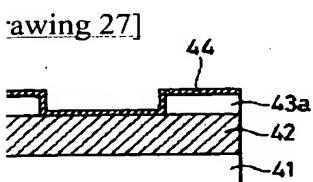
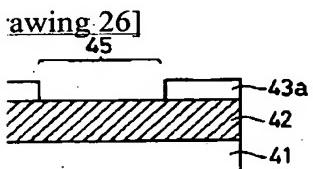
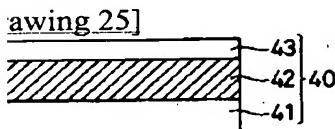
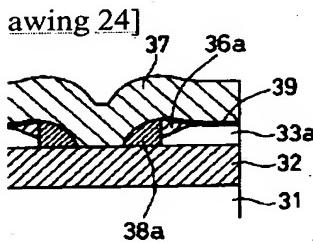
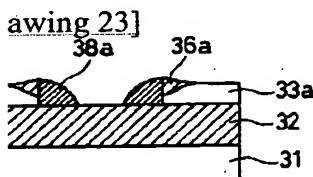
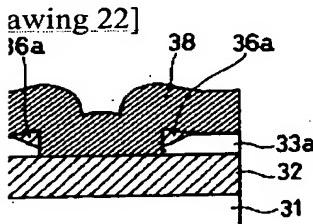
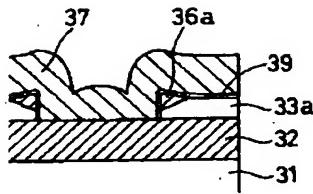
awing 19]

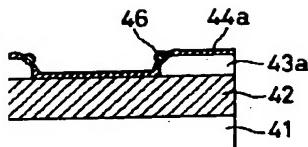


awing 20]

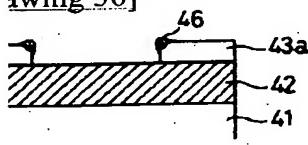


awing 21]

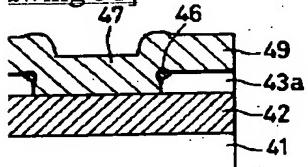




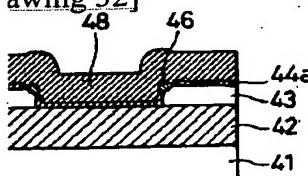
awing 30]



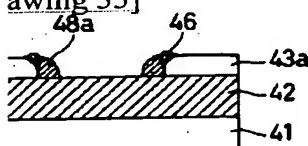
awing 31]



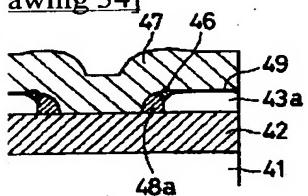
awing 32]



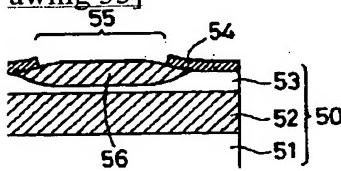
awing 33]



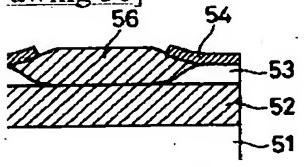
awing 34]



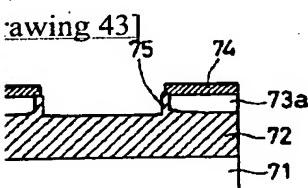
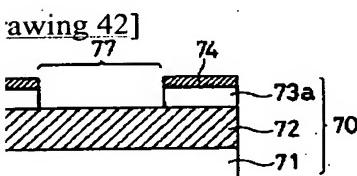
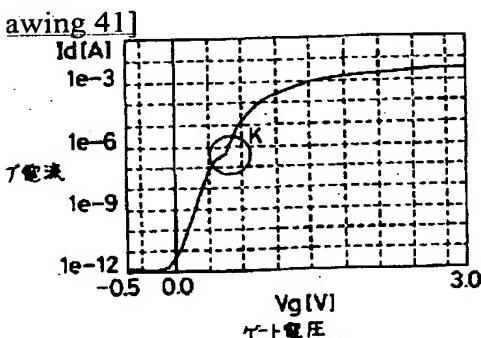
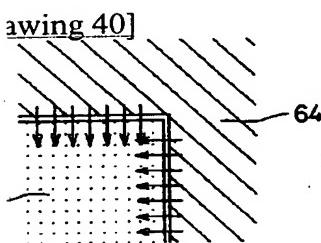
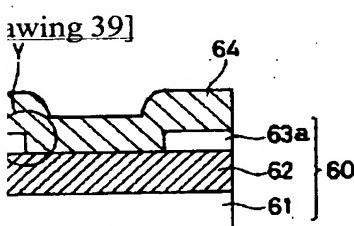
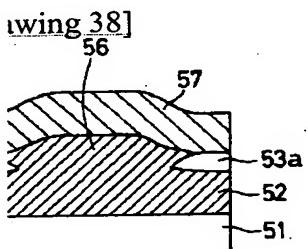
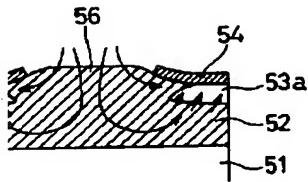
awing 35]

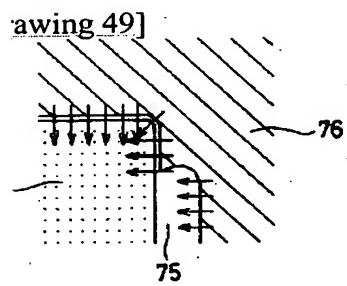
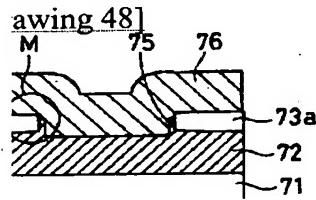
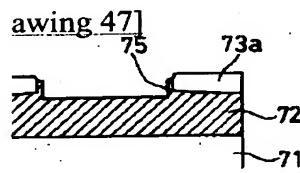
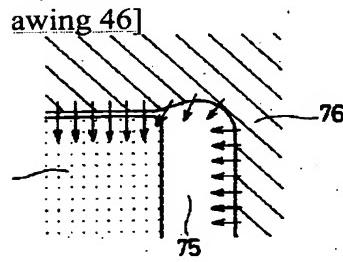
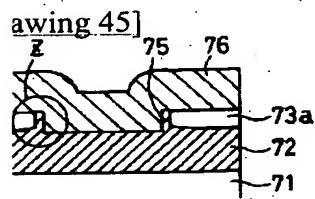
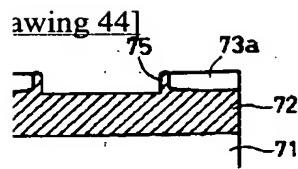


awing 36]



awing 37]





anslation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

In the drawings, any words are not translated.

RECTION or AMENDMENT

ficial Gazette Type] Printing of amendment by the convention of 2 of Article 17 of patent law

ction partition] The 2nd partition of the 7th section

ite of issue] August 6, Heisei 11 (1999)

blication No.] Publication number 8-172198

ite of Publication] July 2, Heisei 8 (1996)

** format] Open patent official report 8-1722

ing Number] Japanese Patent Application No. 6-314896

nternational Patent Classification (6th Edition)]

L 29/786

336

L 29/78 618 C

S

ocedure revision]

iling Date] July 3, Heisei 10

ocedure amendment 1]

ocument to be Amended] Specification

m(s) to be Amended] 0019

ethod of Amendment] Change

oposed Amendment]

[19] In the manufacture method of the semiconductor device of this invention, after forming a mesa type silicon film, an oxidization prevention film is formed all over a substrate top, and the oxidization prevention film subsequently to the upper surface edge of a mesa type silicon film located is removed. Although especially the oxidization prevention film in this case is not limited, its SiN film is desirable. The oxidization prevention film in this case is a well-known method, but it is desirable to form by about 20-200nm thickness. As a method of removing the oxidization prevention film located in the upper surface edge of a mesa type silicon film, it is desirable not to *****, but only for the configuration which has an angle to choose the conditions on which it *****s, and to perform a flat field by sotropy dry etching with the strong sputtering effect. For example, the C-F system gas of C3F8 or C4F8 grade can be used as a sputter gas, and equipment can adjust a flow rate suitably. As for mTorr order and source power, the conditions of 500-1000W are mentioned for a pressure, as for 2000-3000W, and bias. Moreover, in case the 1st oxidization prevention film formed on a top silicon layer and patterning of the mesa type silicon is carried out, you may carry out patterning of the 1st oxidization prevention film together. the [in this case, / this mesa type silicon and] -- all over 1 oxidization prevention film top, the 2nd oxidization prevention film is formed and a flattening film is further formed all over the 1 oxidization prevention film top the [the 1st and] -- the same thing as the above can be used as a 2 oxidization prevention film. The thickness of about 10-500nm and the 2nd oxidization prevention film has [the thickness of the 1st oxidization prevention film in this case] desirable about 5-500nm. Especially as a flattening film, although not limited, it is desirable to form SOG, BPSG, PSG, etc. by 20nm - about 2 micrometers thickness. Then, a flattening film is *****ed until it has height of the same grade as a mesa type silicon film. Etching in this case can give the

ated-temperature section 200 degrees C or more in reaction chambers, such as a well-known method, for example, p electrode, a chamber wall, etc., it can control a flow rate so that introduction and a pressure become Number Torr about CF₄ there, and it can be performed by the method of *****ing on the source power 1500-2500W the Bias 400-600W. the obtained flattening film -- as a mask -- using -- the [the 1st and] -- etching removal of the oxidization prevention film is carried out It is desirable for etching in this case to remove the 2nd oxidization prevention film by which a mask is not carried out, and the 1st oxidization prevention film arranged at the upper surface of a mesa type silicon film, and to perform it by choosing the isotropic etching conditions [like] which only the surface edge of a mesa type silicon film exposes. Specifically, CF₄ and O₂ can be controlled so that a pressure comes Number Torr (for example, 2Torr), and O₂ can ***** by setting bias power to 200-300W 40% or more the full flow.

translation done.]